

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-097628

(43)Date of publication of application : 09.04.1999

(51)Int.CI.

H01L 27/04  
H01L 21/822  
H01L 21/82  
H01L 27/10  
H01L 27/10

(21)Application number : 09-254759

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 19.09.1997

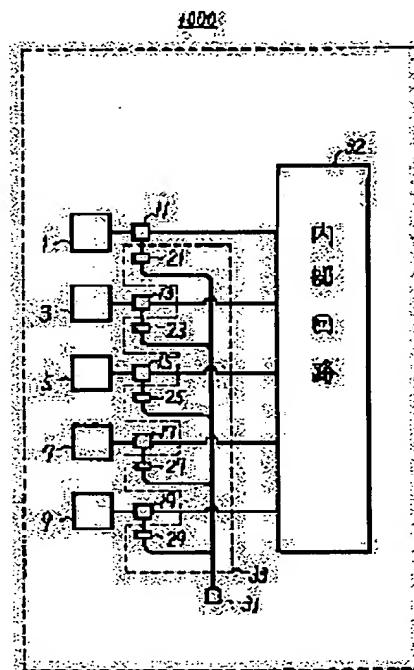
(72)Inventor : NAKAOKA YOSHITO

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device that can be saved, even if its input threshold goes out so standard due to manufacturing process fluctuations or the like.

**SOLUTION:** Input circuits 21 to 29 of a semiconductor device 1000 are constructed for voltage comparison circuits, respectively, and their reference voltage is applied from an internal voltage generating circuit 33, whose input voltage can be changed by a setting supplied from an external source. By changing the setting of the circuit 33 of the semiconductor device having a defective threshold, such a defect of the semiconductor device can be turned into a nondefective recovered. Furthermore, preferably the size of the chip can be reduced by collectively arranging the fuse elements of the circuit 33.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

**THIS PAGE BLANK (USPTO)**

---

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-97628

(43)公開日 平成11年(1999)4月9日

(51)Int.Cl.<sup>6</sup>  
H 01 L 27/04  
21/822  
21/82  
27/10 4 8 1  
4 9 1

F I  
H 01 L 27/04  
27/10 B  
4 8 1  
4 9 1  
21/82 F

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21)出願番号 特願平9-254759

(22)出願日 平成9年(1997)9月19日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 中岡 義人

兵庫県伊丹市荻野1丁目132番地 大王電

機株式会社内

(74)代理人 弁理士 深見 久郎 (外3名)

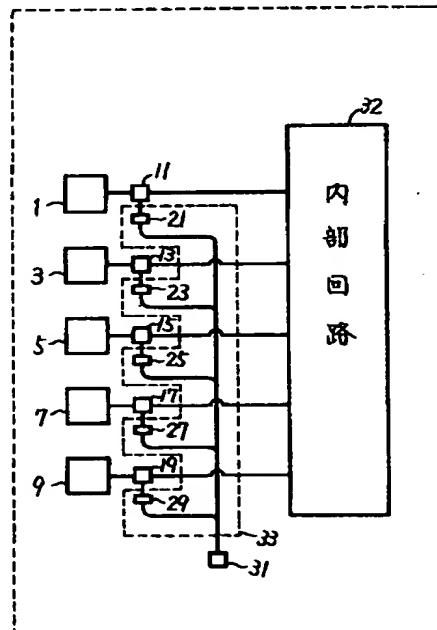
(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 製造プロセス変動等により、入力しきい値が規格外となった半導体装置を救済することが可能な半導体装置を提供する。

【解決手段】 半導体装置1000の入力回路を電圧比較回路を用いて構成し、その参照電圧を出力電圧が外部からの設定によって変更できる内部電圧発生回路により供給する。しきい値不良となった半導体装置の内部電圧発生回路の設定を変更することにより、良品とすることができます。さらに、好ましくは、内部電圧発生回路のヒューズ素子を集合配置することによりチップサイズを小さくすることができる。

1000



1

## 【特許請求の範囲】

【請求項1】 外部からの入力信号を受けて所定の処理を行なう半導体装置であって、複数の入力端子と、前記複数の入力端子に入力される前記入力信号をそれぞれ受けける複数の入力処理手段とを備え、各前記入力処理手段は、判定基準となる対応するしきい値に応じて前記入力信号のレベルに対する検知動作を行ない、前記複数の入力処理手段の出力信号を受け、所定の処理を行なう内部回路と、基準電圧発生手段と、前記基準電圧発生手段の出力電圧値を受けて、前記対応するしきい値に対応する電圧を出力する参照電圧発生手段とをさらに備え、前記参照電圧発生手段は、前記半導体装置の動作確認を行なう際に、外部からの設定に応じて、前記対応するしきい値に対応する電圧を変更可能な出力電圧設定手段を含む、半導体装置。

【請求項2】 前記参照電圧発生手段は、前記複数の入力処理手段のそれぞれに対応して設けられる、複数の内部電圧発生手段をさらに含み、各前記内部電圧発生手段は、前記対応するしきい値を前記基準電圧発生手段の出力電圧値に基づいて、対応する前記入力処理手段に出力する、請求項1記載の半導体装置。

【請求項3】 前記参照電圧発生手段は、前記基準電圧発生回路の出力電圧値を受け、前記複数の入力処理手段で共通して用いられる前記対応するしきい値を出力する内部電圧発生手段をさらに含む、請求項1記載の半導体装置。

【請求項4】 前記複数の入力処理手段は、第1複数個の第1の入力処理手段のグループと、第2複数個の第2の入力処理手段のグループとを含み、前記参照電圧発生手段は、前記基準電圧発生手段の出力電圧値を受け、前記第1の入力処理手段のグループで共通して用いられる、前記対応するしきい値を出力する第1の内部電圧発生手段と、前記基準電圧発生回路の出力電圧値を受け、前記第2の入力処理手段のグループで共通して用いられる前記対応するしきい値を出力する第2の内部電圧発生手段とを含む、請求項1記載の半導体装置。

【請求項5】 前記半導体装置は、半導体基板の主表面上に形成され、前記第1の内部電圧発生手段は、ヒューズ素子の断続によって前記対応するしきい値を設定する第1の設定手段を含み、前記第2の内部電圧発生手段は、ヒューズ素子の断続によって前記対応するしきい値を設定する第2の設定手段を含み、

2

前記第1の設定手段と前記第2の設定手段とは、前記半導体基板の主表面上の所定の領域が分割された第1および第2の領域にそれぞれ配置される、請求項4記載の半導体装置。

【請求項6】 前記参照電圧発生手段は、第1の電位が供給される第1のノードと、第2の電位が供給される第2のノードと、前記第1のノードと前記第2のノードとの間に直列に接続された定電流手段と抵抗手段とを含み、前記定電流手段と前記抵抗手段の接続ノードから前記対応するしきい値を供給し、前記定電流手段は、前記接続ノードに電流を供給する第1の定電流回路と、前記第1のノードと前記接続ノードとの間に直列に接続されたヒューズ素子と第2の定電流回路とを有する、請求項2, 3, 4または5記載の半導体装置。

【請求項7】 前記参照電圧発生手段は、第1の電位が供給される第1のノードと、第2の電位が供給される第2のノードと、前記第1のノードと前記第2のノードとの間に直列に接続された定電流手段と抵抗手段とを含み、前記定電流手段と前記抵抗手段の接続ノードから前記対応するしきい値を供給し、前記抵抗手段は、前記第2のノードと前記接続ノードとの間に接続された第1の抵抗素子と、前記第2のノードと前記接続ノードとの間に直列に接続されたヒューズ素子と第2の抵抗素子とを有する、請求項2, 3, 4または5記載の半導体装置。

【請求項8】 前記参照電圧発生手段は、第1の電位が供給される第1のノードと、第2の電位が供給される第2のノードと、前記第1のノードと前記第2のノードとの間に直列に接続された定電流手段と抵抗手段とを含み、前記定電流手段と前記抵抗手段の接続ノードから、前記対応するしきい値を供給し、前記抵抗手段は、前記接続ノードと第3のノードとの間に接続された第1の抵抗素子と、前記第3のノードと前記第2のノードとの間に並列に接続されたヒューズ素子と第2の抵抗素子とを有する、請求項2, 3, 4または5記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、外部からの入力信号を受けて所定の処理を行なう半導体装置に関する。

## 【0002】

【従来の技術】 半導体装置の製造段階においては、しばしば、製造プロセス上の変動やばらつきに起因して、入力回路のしきい値の変動が生じる。このような入力回路

50

のしきい値の変動が大きい場合には、入力信号の“H”論理と“L”論理のパルス幅が変わってしまう。

【0003】たとえば、高速に応答する半導体記憶装置では、書込／読出パルス幅が上記しきい値変動によって変化すると、回路動作のマージンが不足し、書込／読出動作が正常に行なわれない場合がある。

【0004】このような場合、半導体装置は入力回路のしきい値不良として、不良品となっていた。多くの場合入力回路はしきい値調整機能を有しているが、製造工程途中における金属配線マスクパターンの変更による調整であるので、このような不良品は救済不可能であった。

【0005】図10は、従来例の半導体装置の構成を示す図である。上記入力回路の問題を図10によりさらに詳しく述べる。

【0006】図10において、半導体装置5000は、外部からの信号を受ける入力端子451～459と、入力端子451～459が受けた外部からの信号をそれぞれ受け入力回路461～469と、入力回路461～469の出力信号を受け所定の処理を行なう内部回路471とを備える。

【0007】図11は、図10で示した入力回路461の構成の例を示す回路図である。なお、入力回路463～469は、入力回路461と同様の構成を有する。

【0008】図11を参照して、入力回路461は、トランジスタ501～513と、スイッチ515～517と、ノードN51、N52、N53と、インバータ519とを含む。

【0009】トランジスタ501、503は電源ノードVCCと内部信号VOUTを出力するノードN52との間に直列に接続され、トランジスタ501のゲートは入力信号VINを受けるノードN51に接続され、トランジスタ503のゲートはインターロック信号μを受けるノードN53に接続される。

【0010】トランジスタ505、507は接地ノードGNDと内部信号VOUTを出力するノードN52との間に並列に接続され、トランジスタ505のゲートは入力信号VINを受けるノード51に接続され、トランジスタ507のゲートはインターロック信号μを受けるノードN53に接続される。

【0011】トランジスタ509、511およびスイッチ515は電源ノードVCCとノードN52との間に直列に接続され、トランジスタ509のゲートはノードN51と接続し、トランジスタ511のゲートはノードN53と接続している。

【0012】トランジスタ513とスイッチ517は接地電位GNDとノードN52との間に直列に接続され、トランジスタ513のゲートはノードN53が接続されている。

【0013】インバータ519はトランジスタ501～513によって決まり、ノードN52に出力される内部

信号VOUTを受け反転して、入力回路461の出力信号OUTを出力する。

【0014】図12は、図11の入力回路461の動作を説明する入出力特性図である。図12を参照して、波形531は、スイッチ515、517がオープン状態の場合の入力信号VINに対する内部信号VOUTの特性を示す。

【0015】入力回路5100が入力信号VINを受ける時刻においては、通常インターロック信号μは“L”レベルとなっている。

【0016】スイッチ515、517がオープン状態であるのでトランジスタ509～513は内部信号VOUTには影響を与えない。インターロック信号μは“L”レベルであるため、トランジスタ503は導通状態、トランジスタ507は非導通状態となる。

【0017】入力信号VINの電圧レベルが0～V1であるときトランジスタ505は非導通状態であり、トランジスタ501は導通状態となる。

【0018】したがって、内部信号VOUTは図12で示すように“H”状態となる。一方、入力信号VINの電圧レベルがV2以上であるとき、トランジスタ505は導通状態でトランジスタ501は非導通状態となる。したがって内部信号VOUTは図12で示すように“L”状態となっている。

【0019】また、入力信号VINの電圧レベルがV1～V2の間である場合は、入力信号VINの電圧レベルに応じてトランジスタ501、505に流れる電流が決まり、内部信号VOUTのレベルが決まる。

【0020】ここで、スイッチ515をオン状態とした場合、トランジスタ511は導通状態であり、トランジスタ509は入力信号VINの電圧レベルに応じて流れる電流が変わる状態となる。トランジスタ509、511を流れる電流成分によりスイッチ515がオープン状態であるときと比べて内部信号VOUTは“H”側にシフトし、図12で示す波形535の特性を示すようになる。

【0021】逆に、スイッチ515はオープン状態で、スイッチ517をオン状態とすれば、スイッチ515、517両方がオープン状態のときと比べてノードN52から接地ノードへ流れる電流が増す方向となり内部信号VOUTは“L”側にシフトし、図12で示す波形533の特性を示すようになる。

【0022】以上のように入力回路461では入力回路VINが反転され、内部信号VOUTが作られる。入力信号VINに対する内部信号VOUTは、スイッチ515、517を適宜導通状態とすることにより、入出力特性が変化する。したがってスイッチ515、517によって入力回路461はしきい値の調整が可能である。

【0023】図13は、図11で説明した入力回路461の構成に代えて用いられる第2の例である入力回路5

200の構成を示す回路図である。

【0024】図13を参照して、入力回路5200は、トランジスタ511～565と、ノードN61、N62、N63と、スイッチ567、569と、インバータ571を含む。

【0025】トランジスタ551は電源ノードVCCとノードN61との間に接続され、ゲートにインターロック信号 $\phi$ を受ける。トランジスタ553とトランジスタ559とはノードN61と接地ノードGNDとの間に接続ノードであるノードN63において直列に接続される。トランジスタ561はノードN63と接地ノードGNDとの間に接続され、ゲートにインターロック信号を受ける。スイッチ567とトランジスタ557はノードN63と接地ノードGNDとの間に直列に接続される。トランジスタ557、557のゲートはともに入力信号VINを受ける。トランジスタ555とトランジスタ563とは、ノードN61と接地ノードGNDとの間に直列に接続される。以下、トランジスタ555とトランジスタ563との接続ノードをノードN62と呼ぶ。スイッチ569とトランジスタ565は、ノードN62と接地ノードGNDとの間に直列に接続される。トランジスタ563、565はともに参照電圧信号Vref1をゲートに受ける。トランジスタ555のゲートとトランジスタ553のゲートは共にノードN62に接続されており、トランジスタ555、553はカレントミラー回路を構成する。インバータ571はノードN63に出力される内部信号VOUTを受け反転して入力回路5200の出力信号OUTを出力する。

【0026】図14は、図13の入力回路5200の動作を説明する入出力特性図である。図14を参照して、波形581はスイッチ567、569がオープン状態の場合の入力信号VINに対する内部信号VOUTの特性を示す。

【0027】入力回路5200が入力信号VINを受ける時刻においては、通常インターロック信号 $\phi$ は“L”レベルとなっており、トランジスタ551はトランジスタ553、555に電流を供給し、トランジスタ561は非導通状態となっている。

【0028】スイッチ567、569がオープン状態の場合、トランジスタ557、565はそれぞれノードN63、N62と切り離され、トランジスタ553、555、559、563は参照電圧信号Vref1と入力信号VINを比較し、結果を反転出力する比較回路を構成する。

【0029】したがってVIN<Vref1の場合は、VOUTは“H”状態となり、VIN>Vref1の場合は内部出力信号VOUTは“L”状態である。

【0030】ここで、スイッチ567をオン状態とした場合、上記比較回路のしきい値においては、トランジスタ563に流れる電流は、トランジスタ557、559

に流れる電流の和と等しくなる。したがって、上記比較回路のしきい値は、Vref1より下がりV3となり、入力回路5200の入出力特性は波形583で示すようにシフトする。

【0031】逆にスイッチ569をオン状態としスイッチ567をオープン状態としたときは、上記比較回路のしきい値ではトランジスタ563、565に流れる電流の和が、トランジスタ559に流れる電流と等しくなる。したがって、上記比較回路のしきい値はVref1より上がりV4となり、入力回路5200の入出力特性は、波形585で示すようにシフトする。

【0032】

【発明が解決しようとする課題】以上に説明したように、従来の半導体装置5000では、図11に示す入力回路461や図13に示す入力回路5200でしきい値調整用のスイッチの“オン”、“オフ”により、入力回路1個毎にしきい値を調整することは可能であった。しかし、その調整はフォトマスク交換による配線接続の切換によって実施される。従って、製造プロセス上の変動やばらつきに起因して、しきい値不良となった半導体装置を救済することはできなかった。

【0033】また、スイッチをヒューズ素子等によって形成し、しきい値不良となった場合に切断することも考えられるが、ヒューズ素子はトランジスタ等と比べて、半導体装置上に占める面積が大きく、入力回路中に収めて、入力端子近傍に配置するのは困難である。

【0034】ヒューズ素子のみを分離し、配置することも考えられるが、入力回路内のトランジスタ部分に長い配線を付加することになり、入力回路を高速に動作させる上で好ましくない。特に入力部分に比較回路を使用する場合には、比較回路を構成するトランジスタは特性の揃ったものが好ましく、近接した配置にする必要があり、ヒューズ素子をトランジスタ間に配置することは無理があった。

【0035】この発明の目的は、外部からの入力信号を受け、所定の処理を行なう半導体装置において、製造プロセス上の変動やばらつきのため入力回路のしきい値が変動した場合、しきい値調整することにより、正常に動作可能な半導体装置を提供することである。

【0036】

【課題を解決するための手段】請求項1記載の半導体装置は、複数の入力端子と、複数の入力端子に入力される入力信号をそれぞれ受ける複数の入力処理手段とを備え、各入力処理手段は、判定基準となる対応するしきい値に応じて入力信号のレベルに対する検知動作を行ない、複数の入力処理手段の出力信号を受け、所定の処理を行なう内部回路と、基準電圧発生手段と、基準電圧発生手段の出力電圧値を受けて対応するしきい値に対応する電圧を出力する参照電圧発生手段とをさらに備え、参考電圧発生手段は、半導体装置の動作確認を行なう際

に、外部からの設定に応じて、対応するしきい値に対応する電圧を変更可能な出力電圧設定手段を含む。

【0037】請求項2記載の半導体装置は、請求項1記載の半導体装置の構成に加えて、参照電圧発生手段は、複数の入力処理手段のそれぞれに対応して設けられる、複数の内部電圧発生手段をさらに含み、各内部電圧発生手段は、対応するしきい値を基準電圧発生手段の出力電圧値に基づいて、対応する入力処理手段に出力する。

【0038】請求項3記載の半導体装置は、請求項1記載の半導体装置の構成に加えて、参照電圧発生手段は、基準電圧発生回路の出力電圧値を受け、複数の入力処理手段で共通して用いられる対応するしきい値を出力する内部電圧発生手段をさらに含む。

【0039】請求項4記載の半導体装置は、請求項1記載の半導体装置の構成に加えて、複数の入力処理手段は、第1複数個の第1の入力処理手段のグループと、第2複数個の第2の入力処理手段のグループとを含み、参照電圧発生手段は、基準電圧発生手段の出力電圧値を受け、第1の入力処理手段のグループで共通して用いられる対応するしきい値を出力する第1の内部電圧発生手段と、基準電圧発生回路の出力電圧値を受け、第2の入力処理手段のグループで共通して用いられる対応するしきい値を出力する第2の内部電圧発生手段とを含む。

【0040】請求項5記載の半導体装置は、請求項4記載の半導体装置の構成に加えて、半導体装置は、半導体基板の主表面上に形成され、第1の内部電圧発生手段は、ヒューズ素子の断続によって対応するしきい値を設定する第1の設定手段を含み、第2の内部電圧発生手段は、ヒューズ素子の断続によって対応するしきい値を設定する第2の設定手段を含み、第1の設定手段と第2の設定手段とは、半導体基板の主表面上の所定の領域が分割された第1および第2の領域にそれぞれ配置される。

【0041】請求項6記載の半導体装置は、請求項2、3、4または5記載の半導体装置の構成に加えて、参照電圧発生手段は、第1の電位が供給される第1のノードと、第2の電位が供給される第2のノードと、第1のノードと第2のノードとの間に直列に接続された定電流手段と抵抗手段とを含み、定電流手段と抵抗手段の接続ノードから対応するしきい値を供給し、定電流手段は、接続ノードに電流を供給する第1の定電流回路と、第1のノードと接続ノードとの間に直列に接続されたヒューズ素子と第2の定電流回路とを有する。

【0042】請求項7記載の半導体装置は、請求項2、3、4または5記載の半導体装置の構成に加えて、参照電圧発生手段は、第1の電位が供給される第1のノードと、第2の電位が供給される第2のノードと、第1のノードと第2のノードとの間に直列に接続された定電流手段と抵抗手段とを含み、定電流手段と抵抗手段の接続ノードから対応するしきい値を供給し、抵抗手段は、第2のノードと接続ノードとの間に接続された第1の抵抗

素子と、第2のノードと接続ノードとの間に直列に接続されたヒューズ素子と第2の抵抗素子とを有する。

【0043】請求項8記載の半導体装置は、請求項2、3、4または5記載の半導体装置の構成に加えて、参照電圧発生手段は、第1の電位が供給される第1のノードと、第2の電位が供給される第2のノードと、第1のノードと第2のノードとの間に直列に接続された定電流手段と抵抗手段とを含み、定電流手段と抵抗手段の接続ノードから対応するしきい値を供給し、抵抗手段は、接続ノードと第3のノードとの間に接続された第1の抵抗素子と、第3のノードと第2のノードとの間に並列に接続されたヒューズ素子と第2の抵抗素子とを有する。

#### 【0044】

##### 【発明の実施の形態】

【実施の形態1】図1は、本発明の実施の形態1の半導体装置1000の構成を示すブロック図である。

【0045】図1において、半導体装置1000は、外部からの信号を受ける入力端子1～9と、入力端子1～9が受けた外部からの信号をそれぞれ受ける入力回路11～19とを備える。

【0046】入力回路11～19は、各々、判定基準となる対応するしきい値に応じて、外部からの信号のレベルに対する検知動作を行なう。

【0047】半導体装置1000は、入力回路11～19の出力信号を受け所定の処理、たとえば、データ記憶処理等を行なう内部回路32と、基準電圧発生回路31と、基準電圧発生回路31の出力電圧値を受けて、入力回路11～19に対応するしきい値をそれぞれ出力する参照電圧発生回路33をさらに備える。

【0048】参照電圧発生回路33は、基準電圧発生回路31の出力電圧値に基づいて入力回路11～19にそれぞれ対応するしきい値を出力する内部電圧発生回路21～29を含む。

【0049】図2は、図1で示した入力回路11の構成の一例を示す回路図である。また、図1で示した入力回路13～19は入力回路11と同様の構成を有する。

【0050】図2を参照して、入力回路11は、トランジスタ51～56と、ノードN1、N2、N3と、インバータ57を含む。

【0051】トランジスタ51は電源ノードVCCとノードN1の間に接続され、ゲートにインターロック信号μを受ける。トランジスタ52とトランジスタ54とは、ノードN1と接地ノードGNDとの間に接続ノードであるノードN63において直列に接続される。トランジスタ55はノードN2と接地ノードGNDとの間に接続され、ゲートにインターロック信号μを受ける。

【0052】トランジスタ55とトランジスタ56とは、ノードN1と接地ノードGNDとの間に接続ノードであるノードN3において、直列に接続される。

【0053】トランジスタ52、53のゲートはともに

ノードN 3に接続され、トランジスタ5 2、5 3は、カレントミラー回路を構成する。トランジスタ5 4のゲートは外部からの入力信号V I Nを受け、トランジスタ5 6のゲートは参照電圧V r e f 3を受ける。

【0054】インターロック信号μが“L”状態である場合は、トランジスタ5 1はトランジスタ5 2、5 3に電流を供給し、トランジスタ5 5は非導通状態になっている。

【0055】この場合は、トランジスタ5 2、5 3、5 4、5 6は参照電圧信号V r e f 3と入力信号V I Nを比較し、結果をインバータ5 7に反転出力する比較回路を構成する。

【0056】したがって、実施の形態1の半導体装置1 0 0 0では、入力回路1 1、1 3、1 5、1 7、1 9のしきい値は、内部電圧発生回路2 1、2 3、2 5、2 7、2 9が、それぞれ入力回路1 1、1 3、1 5、1 7、1 9に対して出力する参照電圧値となる。

【0057】図3は、図1で示した基準電圧発生回路3 1の構成の一例を示す回路図である。

【0058】図3を参照して、基準電圧発生回路3 1は、トランジスタ1 0 1～1 0 7と抵抗1 0 9を含む。

【0059】トランジスタ1 0 1とトランジスタ1 0 5は電源ノードV C Cと接地ノードG N Dの間に接続ノードであるノードN 2 1において接続される。トランジスタ1 0 3とトランジスタ1 0 7は電源ノードV C CとノードN 2 3との間に接続ノードであるノードN 2 2において接続される。トランジスタ1 0 1、1 0 3のゲートはともにノードN 2 2に接続され、トランジスタ1 0 1、1 0 3はカレントミラー回路を構成する。抵抗1 0 9はノードN 2 3と接地ノードG N Dとの間に接続される。トランジスタ1 0 5のゲートにはノードN 2 3が接続され、トランジスタ1 0 7のゲートにはノードN 2 1が接続される。

【0060】以上の構成により、ノードN 2 2の電圧は一定電圧となり基準電圧V r e f 2が生成される。

【0061】図4は、図1で示した内部電圧発生回路2 1の構成の第1の例を示す回路図である。また、図1で示した内部電圧発生回路2 3～2 9は、内部電圧回路2 1と同様の構成を有する。

【0062】図4を参照して、内部電圧発生回路2 1はトランジスタ1 5 1と、抵抗1 5 3～1 5 7と、ヒューズ素子1 5 9、1 6 1を含む。抵抗1 5 3、1 5 5、1 5 7はノードN 3 1と接地ノードG N Dとの間に直列に接続される。ヒューズ素子1 5 9、1 6 1は抵抗1 5 5、1 5 7とそれぞれ並列に接続されている。

【0063】トランジスタ1 5 1はゲートに基準電圧V r e f 2を受け、定電流を電源ノードV C CからノードN 3 1に供給する。

【0064】したがって、内部電圧発生回路2 1の出力する参照電圧V r e f 3は、ノードN 3 1と接地ノード

G N Dとの間の抵抗値によって決まるが、ヒューズ素子1 5 9、1 6 1が未切断な状態では、参照電圧V r e f 3は抵抗1 5 3の抵抗値により定まる値となる。

【0065】ここで、半導体装置1 0 0 0の入力しきい値が規格値に対して低すぎる場合には、ヒューズ素子1 5 9またはヒューズ素子1 6 1を切断することによってノードN 3 1と接地ノードG N D間の抵抗値が上がり、一方流れる電流はトランジスタ1 5 1により供給される一定電流であるので、しきい値となる参照電圧V r e f 3は上昇する。このようにして、ヒューズを切断することによりしきい値を調整し、規格から外れている半導体装置を良品とすることができます。

【0066】【実施の形態1の変形例1】次に、実施の形態1の変形例1について説明する。

【0067】実施の形態1の変形例1の半導体装置においては、内部電圧発生回路2 1の内部構成が図4で示した回路と異なっている点で実施の形態1の半導体装置と異なる。

【0068】図5は、変形例1における、図4で説明した内部電圧発生回路2 1に代えて用いられる内部電圧発生回路1 4 0 0の構成を示す回路図である。

【0069】図5を参照して、内部電圧発生回路1 4 0 0はトランジスタ2 0 1と、抵抗2 0 3～2 0 7と、ヒューズ素子2 0 9、2 1 1と、ノードN 4 1を含む。抵抗2 0 3はノードN 4 1と接地ノードG N Dとの間に接続される。直列に接続されたヒューズ素子2 0 9と抵抗2 0 5はノードN 4 1と接地ノードG N Dとの間に同じく接続される。

【0070】直列に接続されたヒューズ素子2 1 1と抵抗2 0 7はノードN 4 1と接地ノードG N Dとの間に同じく接続される。

【0071】トランジスタ2 0 1は、ゲートに基準電圧V r e f 2を受けて、定電流を電源ノードV C CからノードN 4 1に供給する。

【0072】したがって、内部電圧発生回路1 4 0 0の出力する参照電圧V r e f 3は、ノードN 4 1と接地ノードG N Dとの間の抵抗値によって決まるが、ヒューズ素子2 0 9、2 1 1が未切断な状態では、参照電圧V r e f 3は抵抗2 0 3、2 0 5、2 0 7の合成抵抗により定まる値となる。

【0073】ここで、半導体装置1 0 0 0の入力しきい値が規格値に対して高すぎる場合には、ヒューズ素子2 0 9または、ヒューズ素子2 1 1を切断することによりノードN 4 1と接地ノードG N D間の抵抗値が下がり、一方、流れる電流はトランジスタ2 0 1により供給される一定電流であるので、しきい値となる参照電圧V r e f 3は上昇する。このようにしてヒューズを切断することにより、しきい値を調整し、規格から外れている半導体装置を良品とすることができます。

【0074】【実施の形態1の変形例2】次に、実施の

形態1の変形例2について説明する。

【0075】実施の形態1の変形例2の半導体装置においては、内部電圧発生回路21の内部構成が図4で示した回路と異なっている点で実施の形態1の半導体装置と異なる。

【0076】図6は、変形例2における、図4で説明した内部電圧発生回路21に代えて用いられる内部電圧発生回路1500の構成を示す回路図である。

【0077】図6を参照して、内部電圧発生回路1500は、トランジスタ251～255と、抵抗257と、ヒューズ素子259、261を含む。

【0078】抵抗257はノードN45と接地ノードGNDとの間に接続される。トランジスタ251は電源ノードVCCとノードN45に接続され、トランジスタ253、255はそれぞれヒューズ素子259、261を介してトランジスタ251に並列接続される。

【0079】トランジスタ251、253、255のゲートは、基準電圧Vref2を受け、各々一定電流をノードN45に供給する。

【0080】したがって、内部電圧発生回路1500の出力する参照電圧Vref3は、トランジスタ251、253、255によって抵抗257に供給される電流値の総和によって決まる。

【0081】ここで、半導体装置1000の入力しきい値が規格値に対して高すぎる場合には、ヒューズ素子259またはヒューズ素子261を切断することによりノードN51に供給する電流量を減らせば、しきい値となるVref3は降下する。

【0082】このようにして、ヒューズを切断することにより、しきい値を調整し規格から外れている半導体装置を良品とすることができます。

【0083】【実施の形態2】図7は、本発明の実施の形態2の構成を示すブロック図である。

【0084】実施の形態2の半導体装置2000は、実施の形態1の半導体装置1000の構成の参照電圧発生回路33が内部電圧発生回路321となり、入力回路11～19に共通の参照電圧を供給する構成となっている点で実施の形態1の半導体装置1000と異なる。

【0085】その他の構成については実施の形態1で説明した半導体装置1000と同一であるので、図7中同一部分には同一符号を付して説明は繰返さない。

【0086】図7において、半導体装置2000の内部電圧発生回路321は、実施の形態1で説明した内部電圧発生回路21と同じ構成である。

【0087】また、半導体装置2000の内部電圧発生回路321は、実施の形態1の変形例1で説明した内部電圧発生回路1400または実施の形態1の変形例2で説明した内部電圧発生回路1500と同じ構成としても良い。

【0088】実施の形態2の半導体装置2000では、

入力回路11～19の各しきい値を調整しているのは、内部電圧発生回路321のみである。

【0089】したがって、内部電圧発生回路321に含まれるヒューズ素子を切断すれば、入力回路11～19すべてのしきい値を同時に調整することができる。よって、調整時間の短縮が図れるとともに、半導体基板上に大きな面積を占有するヒューズ素子を含む内部電圧発生回路の数が減るため、半導体装置のチップサイズを小さくする点で有利である。

10 【0090】【実施の形態3】図8は、本発明の実施の形態3の半導体装置3000構成を示すブロック図である。

【0091】実施の形態3の半導体装置3000は、実施の形態1の半導体装置1000の構成の参照電圧発生回路33が内部電圧発生回路371、373により構成され、内部電圧発生回路371は入力回路11～15に共通の参照電圧を供給し、内部電圧発生回路373は入力回路17、19に共通の参照電圧を供給する構成となっている点で実施の形態1の半導体装置1000と異なる。

20 【0092】その他の構成については実施の形態1で説明した半導体装置1000と同一であるので、図8中同一部分には同一符号を付して説明は繰返さない。

【0093】図8において、半導体装置3000の内部電圧発生回路371、373は、実施の形態1で説明した内部電圧発生回路21と同じ構成である。

【0094】また、半導体装置3000の内部電圧発生回路371、373は、実施の形態1の変形例1で説明した内部電圧発生回路1400または実施の形態1の変形例2で説明した内部電圧発生回路1500と同じ構成としても良い。

【0095】実施の形態3の半導体装置3000では、入力回路11～19の各しきい値を調整しているのは、内部電圧発生回路371、373の2個である。

【0096】したがって、内部電圧発生回路371に含まれるヒューズ素子を切断すれば、入力回路11～15のしきい値を同時に調整することができ、内部電圧発生回路373に含まれるヒューズを切断すれば入力回路17、19のしきい値を同時に調整することができる。

40 【0097】半導体装置には、たとえばTTL入力用しきい値を持つ端子グループとCMOS入力用しきい値を持つ端子グループの両方を有するものがあり、このような半導体装置の場合にも対応が可能となる。

【0098】さらに、調整時間の短縮が図れるとともに、半導体基板上に大きな面積を占有するヒューズ素子を含む内部電圧発生回路の数が減るため、半導体装置のチップサイズを小さくする点で有利である。

【0099】【実施の形態4】図9は、本発明の実施の形態4の構成を示すブロック図である。

50 【0100】実施の形態4の半導体装置4000は、実

施の形態3の半導体装置3000の構成の内部電圧発生回路371、373が近接配置され、内部電圧発生回路371、373に含まれるヒューズ素子が、半導体基板の主表面上の所定の領域が分割された領域にそれぞれ配置される。

【0101】ヒューズ素子は、半導体基板上に大きな面積を占めるが、ヒューズを切断した際に周辺回路にダメージが加わらないようにガードリングで囲う必要がある。ヒューズ素子の数が多い場合は、ヒューズ素子1つずつガードリングで囲っていたのでは、半導体基板上に占める面積の上で不利である。

【0102】したがって、実施の形態4の半導体装置4000ではヒューズ素子をまとめて1領域内に配置し、その周囲を共通のガードリングで囲うことができるのと、半導体基板上に占める面積の上で有利となる。

### 【0103】

【発明の効果】請求項1記載の半導体装置は、動作確認をする際に、入力回路のしきい値を調整することが可能である。したがって、製造プロセス上の変動やばらつきに起因して入力回路のしきい値が規格範囲外となってしまった場合でも、半導体装置ごとに、入力回路のしきい値を調整し、規格範囲内にすることができるので、一旦規格外品となった半導体装置を救済し、良品とすることができます。

【0104】請求項2記載の半導体装置は、動作確認をする際に、入力回路のしきい値を調整することが可能である。したがって、製造プロセス上の変動やばらつきに起因して入力回路のしきい値が規格範囲外となってしまった場合でも、半導体装置ごとに、入力回路のしきい値を調整し、規格範囲内にすることができるので、一旦規格外品となった半導体装置を救済し、良品とすることができます。

【0105】請求項3記載の半導体装置は、請求項1記載の半導体装置が奏する効果に加えて、各入力回路のしきい値を共通のノードで供給し、1つの内部電圧発生回路でしきい値調整を行なうため、調整時間の短縮が図れるとともに、半導体基板上に大きな面積を占有する内部電圧発生回路の数が1つであるため、半導体装置のチップサイズを小さくする点で有利である。

【0106】請求項4記載の半導体装置は、請求項1記載の半導体装置が奏する効果に加えて、複数の入力回路からなるグループごとに、しきい値を共通のノードで供給し、上記グループごとに1つの内部電圧発生回路でしきい値調整を行なうため、入力規格値の異なる複数の入力端子群が必要な場合に対応することができる。さらに、調整時間の短縮が図れるとともに半導体基板上に大きな面積を占有する内部電圧発生回路の数が少なくなるので、半導体装置のチップサイズを小さくする点で有利である。

### 【0107】請求項5記載の半導体装置は、請求項4記

載の半導体装置が奏する効果に加えて、半導体基板上に大きな面積を占有する内部電圧発生回路のヒューズ素子を含む設定部を集合配置することにより、ガードリング部の面積が少なくて済むため、半導体装置に占める面積の上でさらに有利である。

【0108】請求項6記載の半導体装置は、請求項2, 3, 4または5記載の半導体装置が奏する効果に加えて、ヒューズ素子を選択的に切断することにより、しきい値電圧の調整ができるので、半導体装置の動作確認時にしきい値不良が判明した場合に、しきい値調整を容易にことができる。

【0109】請求項7記載の半導体装置は、請求項2, 3, 4または5記載の半導体装置が奏する効果に加えて、ヒューズ素子を選択的に切断することにより、しきい値電圧の調整ができるので、半導体装置の動作確認時にしきい値不良が判明した場合に、しきい値調整を容易にことができる。

【0110】請求項8記載の半導体装置は、請求項2, 3, 4または5記載の半導体装置が奏する効果に加えて、ヒューズ素子を選択的に切断することにより、しきい値電圧の調整ができるので、半導体装置の動作確認時にしきい値不良が判明した場合に、しきい値調整を容易にことができる。

### 【図面の簡単な説明】

【図1】 本発明の実施の形態1の半導体装置1000の構成を示すブロック図である。

【図2】 図1の入力回路11の詳細を示す回路図である。

【図3】 図1の基準電圧発生回路31の詳細を示す回路図である。

【図4】 図1の内部電圧発生回路21の詳細を示す回路図である。

【図5】 図1の内部電圧発生回路21の第1の変形例を示す内部電圧発生回路1400の詳細を示す回路図である。

【図6】 図1の内部電圧発生回路21の第2の変形例を示す内部電圧発生回路1500の詳細を示す回路図である。

【図7】 本発明の実施の形態2の半導体装置2000の構成を示すブロック図である。

【図8】 本発明の実施の形態3の半導体装置3000の構成を示すブロック図である。

【図9】 本発明の実施の形態4の半導体装置4000の構成を示すブロック図である。

【図10】 従来の半導体装置5000の構成を示すブロック図である。

【図11】 図10の入力回路461の詳細の第1例を示す回路図である。

【図12】 図11の入力回路461の動作を説明する入出力特性図である。

15

【図13】 図10の入力回路461の詳細の第2例である入力回路5200を示す回路図である。

【図14】 図13の入力回路5200の動作を説明する入出力特性図である。

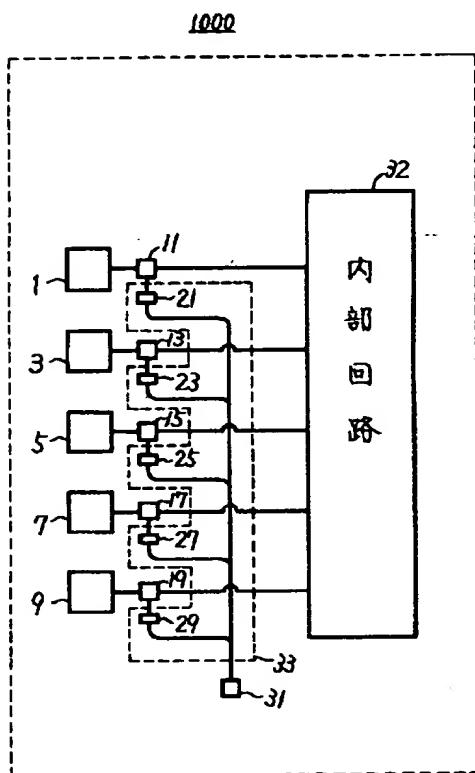
【符号の説明】

1~9, 451~459 入力端子、11~19, 46  
1~469, 5200 入力回路、21~29, 140  
0, 1500, 321, 371, 373 内部電圧発生回路、33 参照電圧発生回路、31 基準電圧発生回路、51~56, 101~107, 151, 201, 2 \*10

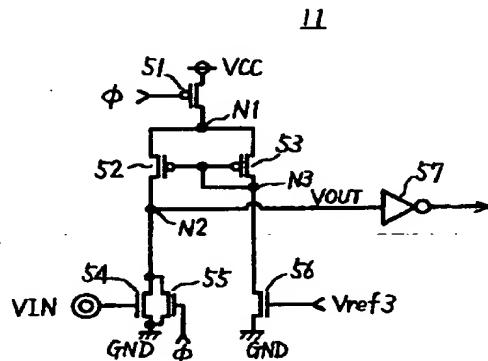
16

\* 51, 501~513, 551~565 トランジスタ、57, 519, 571 インバータ、N1, N2, N3, N21, N22, N23, N31, N32, N33, N41, N45, N51, N52, N53, N61, N62, N63 ノード、109, 155, 157, 203, 205, 207, 257 抵抗、159, 161, 209, 211, 259, 261 ヒューズ素子、515, 517, 567, 569 スイッチ、531~535, 581~585 波形。

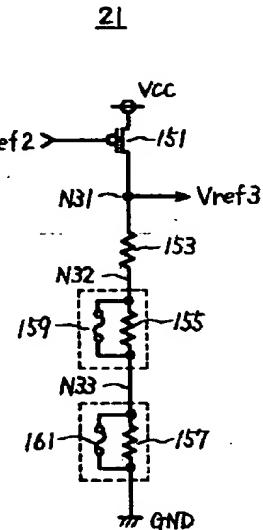
【図1】



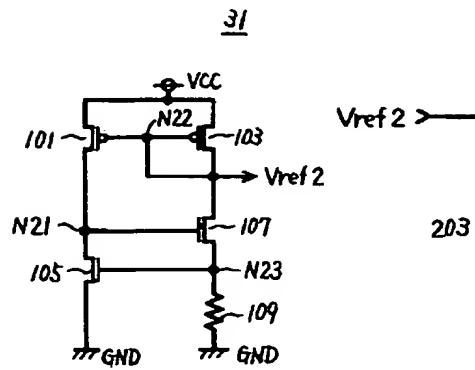
【図2】



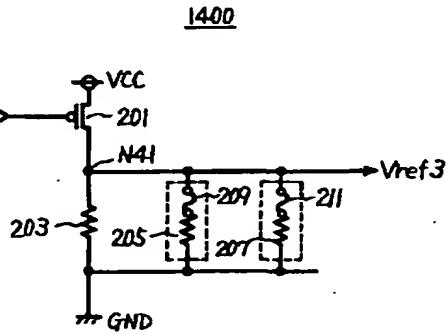
【図4】



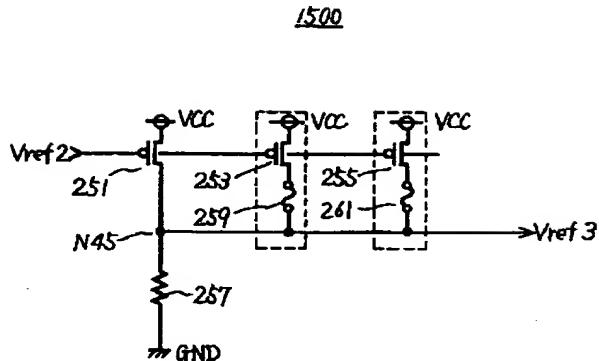
【図3】



【図5】

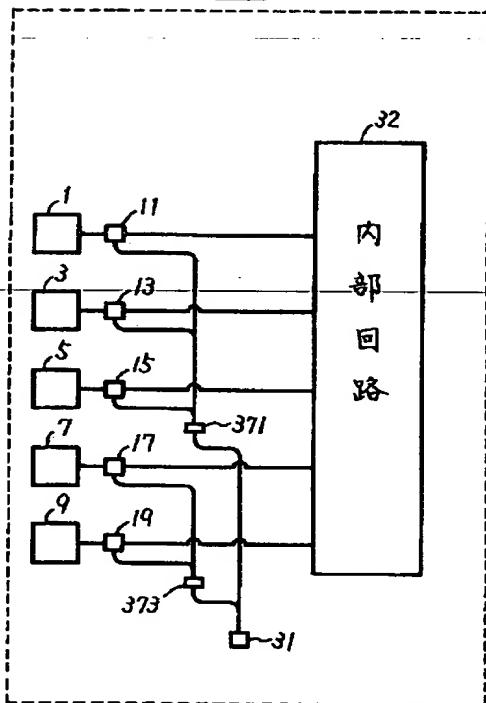


[図 6]



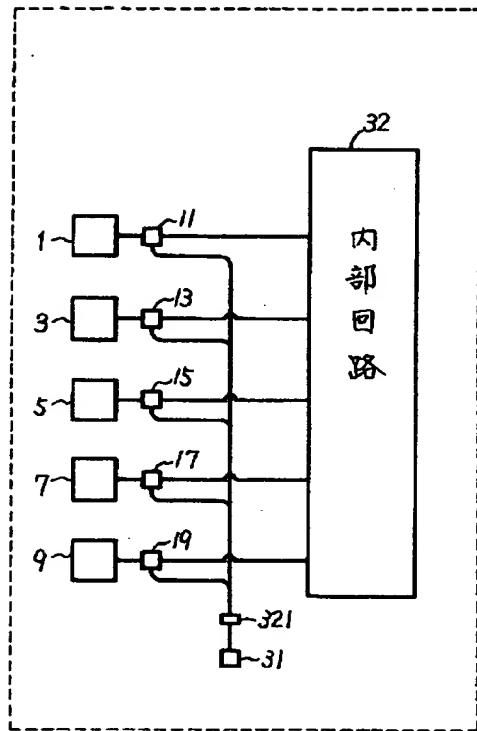
【図8】

3000



[図 7]

2000

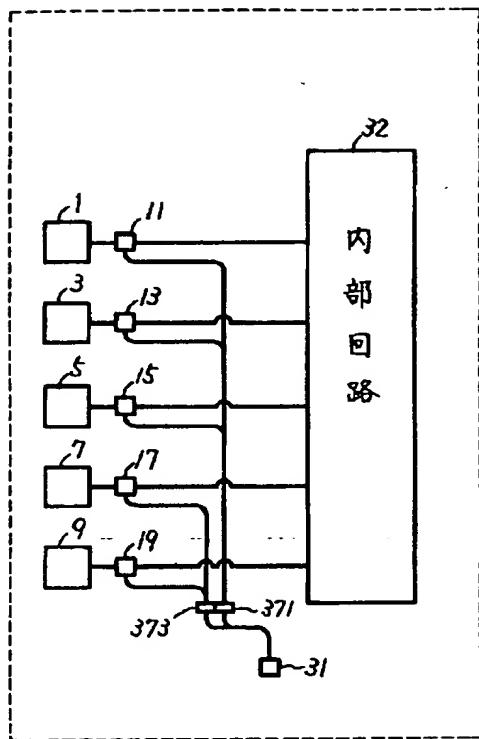


[图 11]

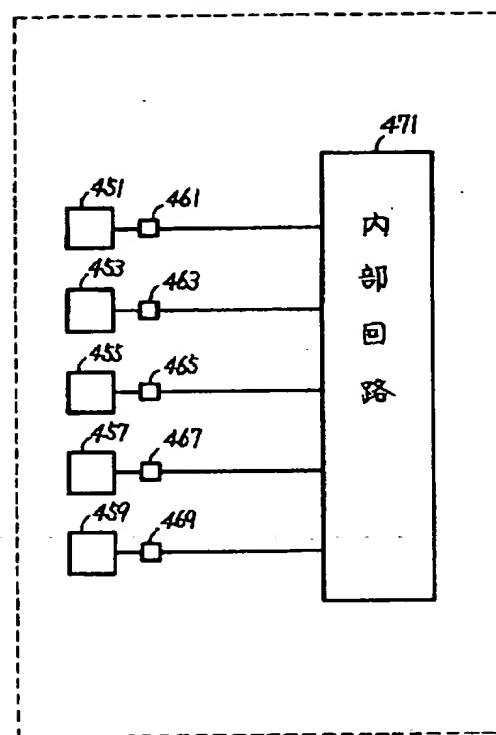
461

The circuit diagram illustrates a high-side driver configuration. It features a current source branch on the left with nodes labeled VCC, 501, 503, 505, and GND. A switch node, labeled NST, connects the VCC line to ground. The main output path consists of two parallel branches. The top branch contains a current source (N53) connected between VCC and the output node OUT. The bottom branch contains a current sink (N52) connected between ground and the output node OUT. Both N53 and N52 have their control inputs tied together. A feedback loop is present, with a current source (509) connected between VCC and the node 511. Node 511 is also connected to the gate of N53 and to node 515. Node 515 is connected to the drain of N52 and to node 517. Node 517 is connected to the drain of N53 and to node 513. Node 513 is connected to the gate of N52 and to ground. The output node OUT is connected to an inverter (519), which provides the final output signal.

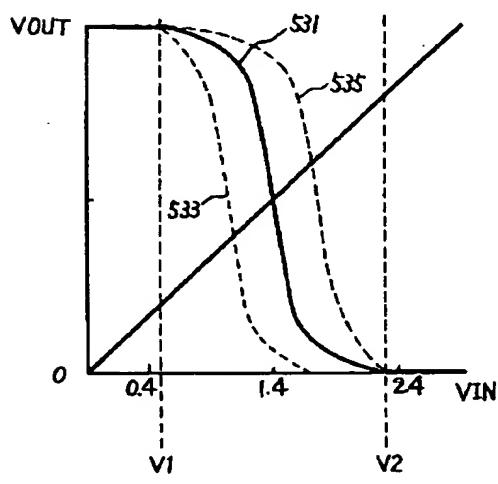
【図9】

4000

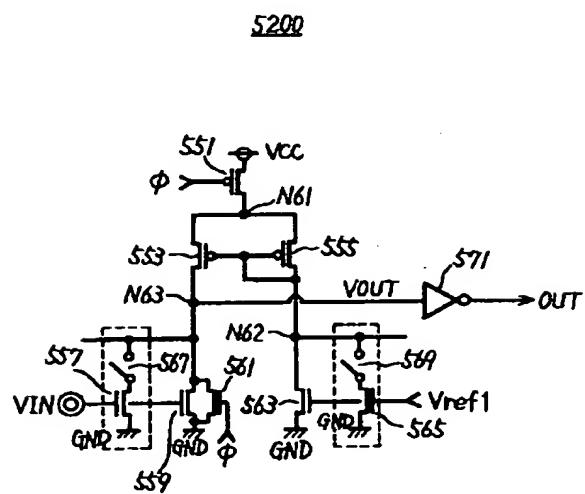
【図10】

5000

【図12】



【図13】



【図1-4】

